



De 19/10/2016 a 21/10/2016

## **VALIDAÇÃO DA REDUÇÃO DO CONSUMO DE POTÊNCIA EM NOC UTILIZANDO ESQUEMAS DE CODIFICAÇÃO**

SANTOS, Cristiano Rosa dos<sup>1\*</sup>, WACHHOLZ, Luís Carlos<sup>2</sup>, DALCIN, Rafael Luciano<sup>3</sup>,  
BIEGER, Marlene<sup>4</sup>

<sup>1,4</sup> FAHOR, Curso de Engenharia de Controle e Automação, Faculdade Horizontina, Campus Arnoldo Schneider, Avenida dos Ipês, 565, Horizontina, RS, Brasil.

<sup>2,3</sup> FAHOR, Curso de Engenharia Mecânica, Faculdade Horizontina, Campus Arnoldo Schneider, Avenida dos Ipês, 565, Horizontina, RS, Brasil.

\*e-mail: [santoscrislianor@fahor.com.br](mailto:santoscrislianor@fahor.com.br)

### **RESUMO**

O aumento constante da densidade de integração e do desempenho dos circuitos integrados permitem sistemas cada vez mais complexos em um único chip, o que aumenta consequentemente o consumo de potência, mesmo utilizando redes em chip (Networks-on-Chip, NoC) nas arquiteturas de barramento. Existem diversas formas para reduzir o consumo de potência de uma NoC. Como exemplo, uma possibilidade é reduzir o número de chaveamentos dos roteadores durante uma comunicação - técnicas de codificações de operandos - durante as comunicações, utilizando uma pesquisa bibliográfica e aplicada. O objetivo deste trabalho é mostrar a validação de redução do consumo de potência de redes em chip, utilizando diferentes esquemas de codificação para barramento de dados e mostrar seus resultados por meio de gráficos, visando identificar o mais adequado para a redução do consumo, obtendo-se uma comparação de eficácia das técnicas utilizadas para a redução.

**Palavras-chave:** NOC, Redução de consumo, Redes em Chip, técnicas de chaveamento de Redes.

### **VALIDATION OF POWER CONSUMPTION REDUCTION IN NOC USING CODING SCHEMES**

#### **ABSTRACT**

The constant increase of integration density and performance of integrated circuits allow increasingly complex systems on a single chip, which consequently increases the power consumption, even using chip networks (Networks-on-Chip, NoC) on bus architecture. There are several ways to reduce the power consumption of a NoC. As an example, one possibility is to reduce the number of routers switching during a communication - the operand coding techniques - during communications using a literature and applied search. The objective of this study is to show the validation of power consumption reduction of chip networks, using different encoding schemes for data bus and display the results through charts, in order to identify the most suitable one for reducing consumption, obtaining a comparison of the effectiveness of the techniques used for the reduction.

**Keywords:** NOC, Consumption Reduction, Chip Networks, Network switching techniques.

## INTRODUÇÃO

O número cada vez maior de transistores em uma única pastilha de silício tem proporcionado vantagens e desvantagens quanto à utilização da mesma. Com o avanço rápido na busca de novas tecnologias, busca-se acrescentar sistemas mais complexos em áreas disponíveis cada vez menores. Mas, em contrapartida, resulta em um aumento do consumo de potência deste chip. Esse avanço com a integração de inúmeros componentes em uma única pastilha ficou conhecida como SoC (Systems on Chip). Esses sistemas em chip trouxeram junto um grande aumento das possibilidades tecnológicas possíveis de serem realizadas em uma pequena pastilha de silício.

A redução do tamanho do chip resulta na redução do atraso de propagação, permitindo a operação dos circuitos em frequências mais altas, o que por sua vez leva ao aumento do consumo de potência (COSTA, 2002). Nos últimos anos, o consumo de potência vem sendo apontado como um dos principais parâmetros em projetos de circuitos integrados.

O principal objetivo deste trabalho é mostrar a validação de redução do consumo de potência de redes em chip, utilizando diferentes esquemas de codificação para barramento de dados e mostrar seus resultados por meio de gráficos, visando identificar o mais adequado para a redução do consumo, obtendo-se uma comparação de eficácia das técnicas utilizadas para a redução, principalmente com as codificações Híbrido-2 e Híbrido-4.

Neste contexto, o consumo de potência tem sido abordado por representar um fator importante no projeto de sistemas. A redução de consumo de potência em NoCs é abordada em outros trabalhos, como na redução da atividade de chaveamento nos enlaces (PALMA et al, 2007), codificando os sinais enviados, de modo a ter um menor número de transições entre estes sinais enviados, reduzindo conseqüentemente a potência; e utilização de um algoritmo de roteamento (KIM, 2005), que controla os bits enviados, de modo a reduzir o consumo de potência.

O estudo tem como diferencial a inserção das técnicas de codificação nos barramentos, utilizando além de outras codificações: as codificações Híbrido -2 e Híbrido- 4. O principal objetivo é reduzir o número de transições entre as mensagens enviadas e as recebidas, codificando no envio e decodificando no recebimento, para diminuir conseqüentemente a potência gerada.

A metodologia utilizada baseou-se na pesquisa bibliográfica em livros e trabalhos já publicados em sites e revistas especializadas, estudando os esquemas de codificações que foram utilizados em outros trabalhos, de acordo com (COSTA, 2002 e PALMA et al., 2007).

## 2 DESENVOLVIMENTO

### 2.1 REFERENCIAL TEÓRICO

A potência total consumida por um circuito CMOS é dado pela soma das parcelas individuais das três primeiras fontes de consumo (MARTINS, 2000), como é mostrado na Equação (1), em que  $P_{cc}$  é a potência dissipada devido ao curto circuito,  $P_{est}$  é a potência estática resultante das correntes de fuga e  $P_{din}$  é a potência dinâmica resultante do processo de carga e descarga das capacitâncias.

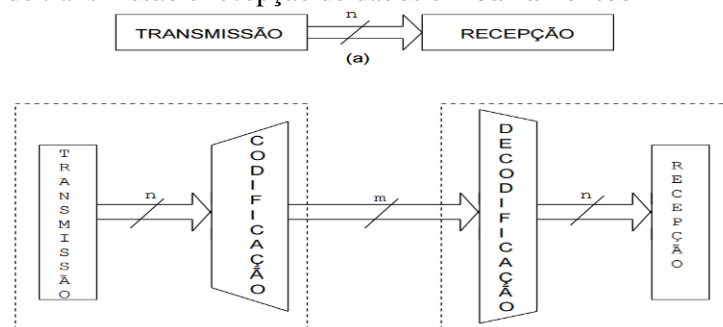
$$\mathbf{P = P_{cc} + P_{est} + P_{din}} \quad (1)$$

Dentre estas três apresentadas, o principal consumo é o de potência dinâmica, para tecnologias acima de 100nm, através da atividade de chaveamento do circuito, que será o alvo deste trabalho.

Existem algumas técnicas específicas para diminuir o consumo de potência através da redução atividade de chaveamento nos barramentos. Uma destas técnicas é a utilização da codificação de operandos para se obter esta redução.

A maneira mais comum de comunicação de dados entre diferentes circuitos, sem a utilização da codificação, é a transmissão e recepção dos dados na sua representação original (geralmente em binário) sobre um conjunto de fio como é mostrado na figura 1.

Figura 1: Esquemas de transmissão e recepção de dados em barramentos



Fonte: COSTA, 2002.

De acordo com (CHANDRAKASAN *et al*, 1995), as etapas de codificação/decodificação podem ser classificadas como redundantes ou não redundantes, onde não redundante é  $m=n$ , apresentando  $2^n$  elementos do conjunto de  $n$ -bit da palavra de dados são mapeados entre estas

linhas. Já o redundante, temos  $m > n$ , onde as  $2^n$  únicas palavras de dados são mapeados para um conjunto maior que  $2^m$  palavras de dados para serem transmitidas pelas linhas do barramento.

A codificação Gray é um dos métodos mais utilizados para redução de transições de sinais em barramentos de endereços (MEHTA *et al*, 1996). A conversão do código binário para o código Gray é feita de acordo com as Equações (2) e (3) (CHANDRAKASAN & BRODERSEN, 1995), onde  $B = (b_{n-1}, b_{n-2}, \dots, b_1, b_0)$  é a representação binária do número e  $G = (g_{n-1}, g_{n-2}, \dots, g_1, g_0)$  é a representação do número em código Gray. Esta conversão consiste em repetir o bit mais significativo da palavra binária e utilizar operações lógicas XOR entre todos os bits consecutivos da palavra.

$$S_{n-1} = E_{n-1} \quad (2)$$

$$S_i = E_{i+1} \text{ XOR } E_i \quad (i = n-2, \dots, 0) \quad (3)$$

A conversão do código Gray em código binário é realizada através das Equações (4) e (5). Esta conversão também é realizada repetindo-se o bit mais significativo da palavra em código Gray e utilizando operações XOR. Entretanto, cada bit a ser convertido depende da conversão anterior, o que cria um aumento do caminho crítico, bem como da complexidade, se comparada com a conversão inversa (PALMA, 2007).

$$E_{n-1} = S_{n-1} \quad (4)$$

$$E_i = E_{i+1} \text{ XOR } S_i \quad (i = n-2, \dots, 0) \quad (5)$$

Na técnica de codificação Transition, os dados recebidos pelo codificador são comparados com os dados recebidos anteriormente. A técnica Transition (SIMUNIC & STEPHENL, 2002) implica em transmitir um sinal em '1' lógico para cada bit  $i$  (onde  $i = (n-1, n-2, \dots, 0)$ ) toda vez que houver uma transição do bit  $i$  armazenado ( $r_i$ ) para o bit  $i$  do dado atual ( $b_i$ ). Quando não existe transição é enviado um sinal em '0' lógico em  $t_i$ . A codificação Transition é realizada através da Eq. (6). A decodificação do método Transition é realizada de

acordo com a Eq. (7). Neste caso, o bit decodificado é o resultado da operação XOR entre o bit transmitido ( $t_i$ ) e o último bit decodificado ( $b_i$ ).

$$t_i = r_i \text{ XOR } b_i \quad (i = n-2, \dots, 0) \quad (6)$$

$$b_i = r_i \text{ XOR } t_i \quad (i = n-2, \dots, 0) \quad (7)$$

O código híbrido apresenta um compromisso entre a mínima dependência das entradas de dados apresentada pelo código Binário e a característica de baixa atividade de chaveamento apresentada pelo código Gray (COSTA, 2002). O processo de codificação/decodificação dos dados utiliza um hardware de reduzida complexidade com uma porta XOR ligada a cada grupo de  $m = 2$  ou  $m=4$  bits (COSTA, 2002). Neste caso, o código Híbrido também pode ser utilizado como método de codificação para os barramentos de endereços (COSTA, 2002). A codificação Gray precisa de  $n-1$  portas XOR, enquanto que o

codificador Híbrido precisa de  $\frac{(m-1)n}{n}$  portas XOR, onde  $n$  é o número de bits.

## 2.2 MATERIAL E MÉTODOS

Os experimentos deste trabalho foram realizados sobre descrições de NoCs utilizando-se o simulador PopNet (WANG et al, 2003). A este simulador foi adaptada a ferramenta Orion (WANG et al, 2002), que provê modelos de potência para arquiteturas de comunicação. As técnicas de codificação mencionadas neste artigo foram modeladas nesta ferramenta. As características da rede consideradas nas simulações foram: Topologia mesh 9 x 9; Roteamento XY; Chaveamento Wormhole; Buffers FIFO; Arbitragem Round Robin; Controle de fluxo por canais virtuais.

Foram gerados números, que transformados em números binários, formam flits com 64 bits. Os sinais gerados foram do tipo:

- Números Aleatórios: foram gerados estes números, de modo que quando transformados em flits de 64 bits, tenham uma grande quantidade de transições entre os bits, quando for comparado bit a bit;
- Números que geram uma Rampa e que geram uma senóide: foram gerados estes números, de modo que haja uma sequência entre eles. Estes flits gerados, quando tiver

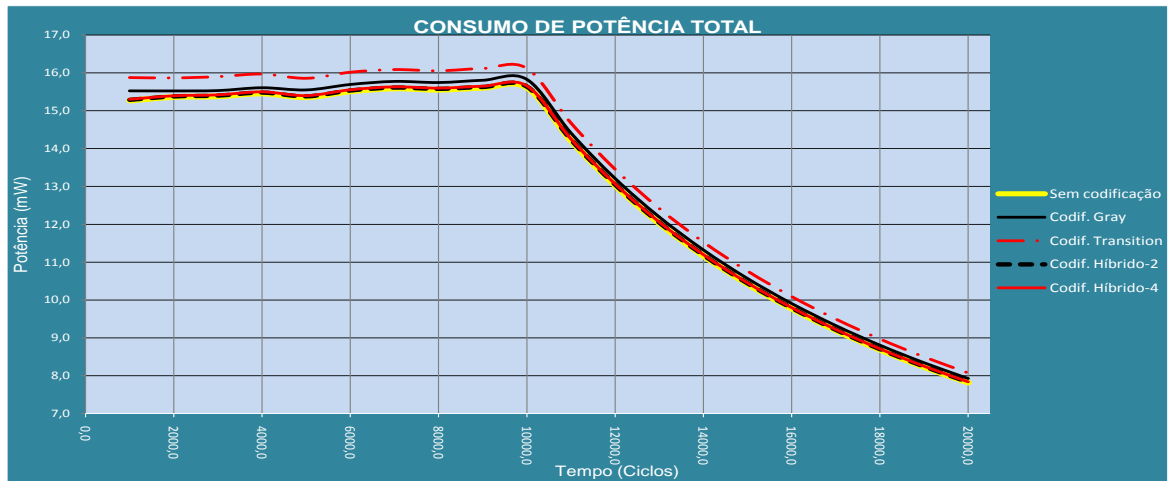
a comparação bit a bit entre dois, terá uma quantidade pequena de transições. Os que geram a senóide foram feitos de modo que haja uma oscilação dos flits gerados entre o valor mínimo e o máximo colocado no software.

Os valores gerados pelo software foram codificados com a codificação Gray, codificação Transition, codificação Híbrido-2, codificação Híbrido-4 e sem codificação. Os gráficos gerados são gráficos de consumo de potência total, que compreende o consumo de potência da memória dos Buffers, consumo de potência dos roteadores, consumo de potência dos links e o consumo de potência dos árbitros.

### 2.3 RESULTADOS E DISCUSSÃO

Para que não ocorra a mudança do destino do pacote de mensagem para cada roteador, os flits contidos no cabeçalho e no terminador de uma mensagem não são alterados. O destino de cada mensagem é feito no próprio simulador. Esta simulação foi feita com tecnologias acima de 100nm. Os resultados de consumo de potência foram gerados pelo simulador PopNet, no ambiente Linux. Estes valores são colocados em uma tabela de Planilha Eletrônica para serem gerados os gráficos. Todos os gráficos são mostrados a seguir, de acordo com o valor mínimo colocado durante a simulação.

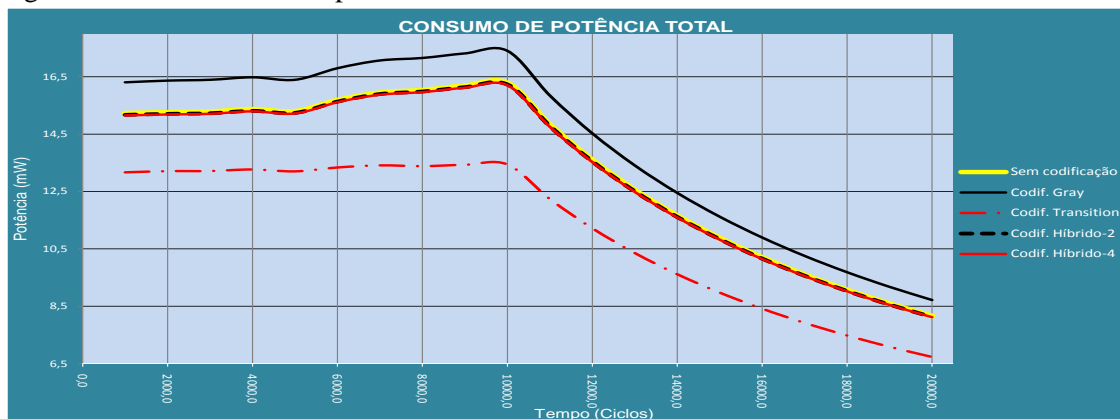
Figura 2: Gráfico do consumo de potência total



Fonte: autores

A figura 2 mostra as curvas do consumo de potência total gerado a partir de números aleatórios. Nesta figura, não houve uma redução de potência considerável com nenhum codificador, houve até um aumento do consumo utilizando a codificação Gray e Transition. Nota-se que neste tipo de sinal, as codificações Híbrido-2 e Híbrido-4 apresentam melhores resultados quanto à redução do consumo, apesar de ter uma redução muito baixa. Isto ocorre principalmente pelo fato da codificação híbrida ter uma mínima dependência das entradas de dados como no binário (COSTA, 2002) ( por estar dividido em grupos de 2 ou 4 bits, necessita apenas do bit mais significativo por grupo para não ser codificado, enquanto que os bits restantes são codificados) e apresentar uma baixa atividade de chaveamento (COSTA, 2002).

Figura 3: Consumo total de potência

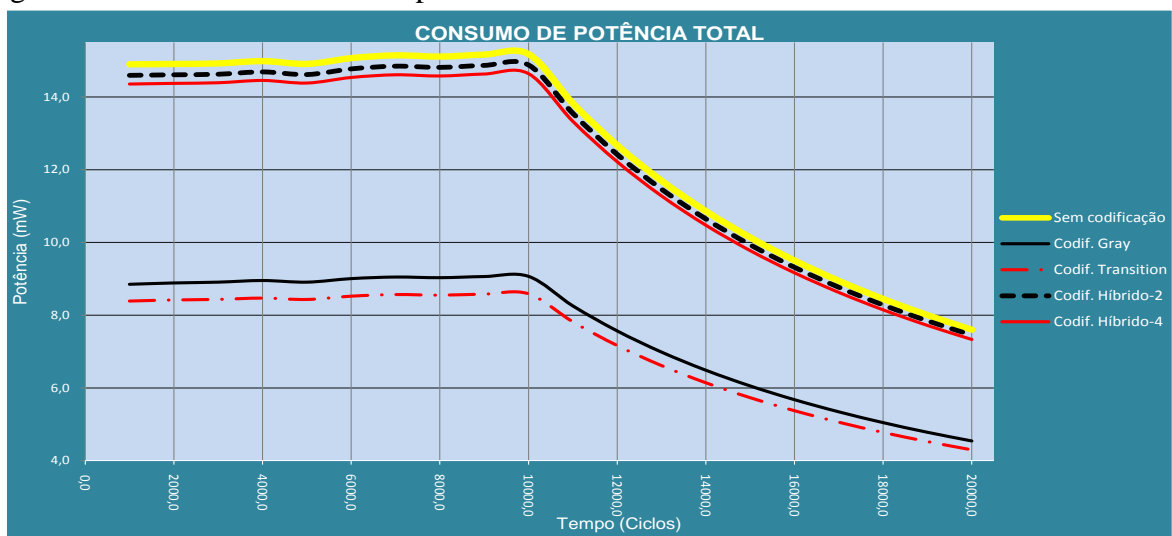


Fonte: autores

A figura 3 mostra as curvas do consumo de potência total a partir de flits que formam uma rampa. Neste, nota-se que a codificação Transition apresentou um melhor resultado de redução do consumo de potência. Isto ocorre pelo seu tipo de funcionamento, que faz

comparação bit a bit (quando existe a transição entre bits, é enviado um valor 1 e quando não há, é enviado um valor 0), e através disso, faz a codificação do flit, diminuindo consequentemente o número de transições entre os bits. Com isso, percebe-se no gráfico que o número de chaveamentos diminui consideravelmente. A codificação Gray apresentou um aumento no consumo de potência e os Híbridos apresentam valores iguais ao sem codificação. Os híbridos apresentam um menor consumo principalmente por trabalharem com grupos de 2 e 4 bits, tendo uma menor quantidade de bits para se efetuar a codificação Gray, diminuindo assim a quantidade de portas XOR.

Figura 4: Gráfico do consumo de potência total



Fonte: Autores

A figura 4 mostra as curvas do consumo de potência total a partir de flits gerados em sequência que formam uma senóide. Nota-se que as codificações apresentam valores que representam um consumo de potência abaixo se comparado ao sem codificação, sendo que as codificações Gray e Transition apresentam os melhores resultados de redução do consumo. Isto ocorre pelo Transition fazer a comparação bit a bit entre duas mensagens, colocando valor 1 quando ocorre transição entre os bits ou 0 quando não ocorre, tornando assim, um menor número de transições e diminuindo consequentemente o consumo de potência.. O Gray consegue diminuir em até 50 % a potência, pois diminui o número de transições de bits entre as mensagens enviadas em sequência. Já que as mensagens injetadas são colocadas em uma sequência, ocorre a redução, quando utilizada a codificação Gray. Houve uma redução maior do consumo de potência do Transition se comparado ao Gray, sendo que o gráfico apresentou uma redução no Transition e Gray de 44.44% e 40%, respectivamente. Isto se deve pela sequência das mensagens enviadas e pela oscilação repetida dos valores gerados, que possuem



um menor número de transições. O gráfico de redução de consumo do Transition teve uma maior redução, comparado ao Gray, principalmente pela grande variação das mensagens injetadas ter aumentado, diminuindo assim o número de transições entre os bits.

O quadro 1 mostra os resultados de redução (-) ou aumento (+) do consumo de potência, se comparado ao sem codificação:

Quadro 1: Comparação dos resultados obtidos com sem codificação

	Gray	Transition	Híbrido 2	Híbrido 4
Fig. 2	+1,31%	+3,92%	0,00%	0,00%
Fig. 3	+10,81%	-13,51%	-0,50%	-0,50%
Fig. 4	-40,00%	-44,44%	-1,56%	-2,43%

Fonte: Autores

## CONCLUSÃO

Este trabalho teve o propósito de analisar o comportamento de esquemas de codificação de dados quanto à redução do número de transições dos sinais enviados em uma NoC. Foram analisados os esquemas de codificação, com sinais com flits de 64 bis.

Os resultados mostram que estes esquemas de codificação trabalham de um modo diferenciado, em relação à redução do consumo de potência, se comparado a sem codificação. Nota-se que o Transition apresentou o melhor desempenho quanto à redução do consumo de potência, enquanto que o Gray, Híbrido-2 e Híbrido-4, apresentam respostas diferenciadas, que variam entre a redução e a elevação do consumo de potência.

Para os valores gerados por números aleatórios, pode-se dizer que as codificações não são tão eficientes para a redução. Para o Gray, o Híbrido-2 e o Híbrido-4 não apresentam bons resultados quanto à redução do número de transições.

Comparando com os objetivos propostos, foi feita a comparação entre os codificadores Híbridos, Gray e Transition, e este último apresentou a melhor resposta para a redução do número de chaveamento dos transistores, pois apresentou um menor consumo de potência, mostrando as comparações entre cada esquema através de figuras comentadas no decorrer do trabalho.

Como trabalhos futuros, nota-se que foi feita uma análise de redução de consumo com somente quatro esquemas de codificação de dados, o que não se pode dizer com certeza que o Transition sempre apresenta uma maior redução do consumo de potência. Então é adequado colocar outros esquemas de codificação para se fazer uma análise para a redução do consumo.

Outro poderá ser a codificação dos flits do cabeçalho e do terminador, analisando se poderá realmente ocorrer uma maior redução do consumo de potência com esquemas de codificação em toda a mensagem.

## REFERÊNCIAS

- COSTA, E. A. C. da. **Operadores Aritméticos de Baixo Consumo para Arquiteturas de Circuitos DSP**. 2002.(Tese de Doutorado). Programa de Pós- Graduação em Computação. UFRGS, Porto Alegre, RS.
- CHANDRAKASAN, A.; BRODERSEN, R. **Low Power Digital Cmos Design**. Boston: Kluwer Academic Publisher, 1995.
- CHANDRAKASAN, A. et al. **Optimazing power using transformations**. IEEE Transactions on Computer-Aided Design. Stanford, v.14, n.1, p. 12-31, 1995.
- KIM, J; PARK, D.; NICOPOULOS, C.; VIJAYKRISHNAN, N. das C. **Design and Analysis of an NoC Architecture from Performance, Reliability and Energy Perspective** in: Symposium On Architecture For Networking And Communications Systems (ANCS), pp.173-182, 2005.
- MARTINS, J. B. dos S. **Estimativa de capacitâncias e consumo de potência em circuitos combinacionais CMOS no nível lógico**. f. 112, 2000. Tese de Doutorado em Computação – Universidade Federal do Rio Grande .
- MEHTA, H.; OWENS, R.; IRWIN, M. **Some Issues in Gray Code Addressing**. GLS-VLSI-96, pp. 178-180, Mar. 1996.
- PALMA, J. C. S. **Reduzindo o Consumo de Potência em Networks-on-Chip através de Esquemas de Codificação de Dados**. (Tese de Doutorado). Programa de Pós-Graduação em Computação. UFRGS, Porto Alegre. 2007.
- PALMA, J.; INDRUSIAK, L.; MORAES, F.; ORTIZ, A.; GLESNER, M.; REIS, R. **Inserting Data Encoding Techniques into NoC-Based Systems** in: Annual Symposium on VLSI (ISVLSI), pp. 299-304, 2007.
- SIMUNIC, T.; STEPHEN, B. **Managing Power Consumption in Networks on Chip** in: Design, Automation & Test in Europe (DATE), pp. 110-116, 2002.
- WANG, H. S.; ZHU, X.; PEH, L. S.; MALIK, S. **Orion: A Power-Performance Simulator for Interconnection Networks**. In Proceedings of MICRO 35, Istanbul, Turkey, Nov. 2002.
- WANG, H. S.; ZHU, X.; PEH, L. S.; MALIK, S. **Power-driven Design of Router Microarchitectures in On-chip Networks**, In Proceedings of 36th International Symposium on Microarchitecture, 2003.